

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月 7日

出願番号

Application Number:

特願2002-230056

[ST.10/C]:

[JP2002-230056]

出願人

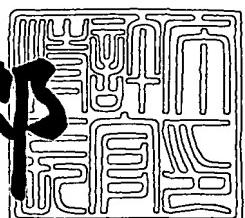
Applicant(s):

シャープ株式会社

2003年 6月 2日

特許長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3041883

【書類名】 特許願
 【整理番号】 02J01644
 【提出日】 平成14年 8月 7日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 27/04
 【発明の名称】 半導体装置製造方法および半導体装置
 【請求項の数】 15
 【発明者】
 【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
 【氏名】 徳重 信明
 【特許出願人】
 【識別番号】 000005049
 【氏名又は名称】 シャープ株式会社
 【代理人】
 【識別番号】 100065248
 【弁理士】
 【氏名又は名称】 野河 信太郎
 【電話番号】 06-6365-0718
 【手数料の表示】
 【予納台帳番号】 014203
 【納付金額】 21,000円
 【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0208452
 【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置製造方法および半導体装置

【特許請求の範囲】

【請求項1】 (a) 下地基板上に絶縁膜を形成する工程と、
(b) 絶縁膜上に半導体層を形成する工程と、
(c) 半導体層上にフレキシブル基板を接着する工程と、
(d) 下地基板と半導体層とを絶縁膜部分にて分離する工程とからなることを特徴とする半導体装置の製造方法。

【請求項2】 (b) 工程で形成される半導体層がSi結晶層であり、(b)
工程が、
(b1) 絶縁膜上にa-Si膜を形成する工程と、
(b2) a-Si膜上に触媒層を形成する工程と、
(b3) a-Si膜と触媒層とを反応させて結晶化することによりSi結晶層を
形成する工程と、
(b4) 触媒層を除去する工程とからなることを特徴とする請求項1に記載の半
導体装置の製造方法。

【請求項3】 (b) 工程後に、半導体層に半導体素子を形成する工程をさ
らに含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 (b1) 工程は、a-Si膜を形成した後にa-Si膜をパタ
ーニングして分離する工程を含むことを特徴とする請求項2に記載の半導体装置
の製造方法。

【請求項5】 (b2) 工程は、触媒層を形成した後、触媒層をパターニング
する工程を含むことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項6】 (d) 工程での分離が、絶縁膜の劈開又は絶縁膜のエッチング
により行われることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項7】 請求項1に記載の工程で製造され、半導体層の膜厚が25μm
～100μmであることを特徴とする半導体装置。

【請求項8】 半導体層がSi結晶層であることを特徴とする請求項7に記載
の半導体装置。

【請求項9】 (e) 下地基板上に絶縁膜を形成し、この絶縁膜に凹部をパターニングする工程と、

(f) 絶縁膜に形成された凹部が厚膜部となり凹部に隣接する絶縁膜上が薄膜部となるように絶縁膜上に厚膜部と薄膜部とを有する半導体層を形成する工程と、

(g) 下地基板と半導体層とを絶縁膜部分にて分離する工程と、

(h) 分離した半導体層の下地基板側にフレキシブル基板を接着する工程とからなることを特徴とする半導体装置の製造方法。

【請求項10】 (f) 工程で形成される半導体層がSi結晶層であり、(f) 工程での厚膜部と薄膜部との形成が、

(f1) 絶縁膜上にa-Si膜を形成する工程と、

(f2) a-Si膜上に触媒層を形成する工程と、

(f3) 凹部内のa-Si膜上に触媒層が残るように触媒層をパターニングする工程と、

(f4) a-Si膜と触媒層とを反応させて結晶化することによりSi結晶層を形成する工程と、

(f5) 触媒層を除去する工程とからなることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 (f) 工程後に、厚膜部と薄膜部との少なくともいずれかに半導体素子を形成する工程をさらに含むことを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項12】 (f) 工程後に、厚膜部に高耐圧素子を有する回路を形成し、薄膜部に高耐圧素子を含まない回路を形成する工程をさらに含むことを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項13】 (g) 工程での分離が、絶縁膜の劈開又は絶縁膜のエッチングにより行われることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項14】 請求項9に記載の工程で製造され、半導体層の薄膜部の膜厚が $25\text{ }\mu\text{m} \sim 50\text{ }\mu\text{m}$ であることを特徴とする半導体装置。

【請求項15】 半導体層がSi結晶層である請求項14に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フレキシブル性を有する半導体装置およびその製造方法に関し、さらに詳細には、曲げた状態で使用可能な半導体基板を利用した半導体装置に関する。本発明のフレキシブルな半導体装置は、例えば液晶表示装置のドライバに適用することができる。

【0002】

【従来の技術】

携帯電話を始めとして、電子機器の小型化・携帯化の流れが一段と強くなっている。最近では携帯性を追求した結果、ついにコンピュータを衣服に搭載したウェアラブルコンピュータ、即ち、「着るパソコン」が発表されるようになっている。

このウェアラブルコンピュータを実現するには、システムパッケージソリューションとして、曲げた状態での使用が可能なフレキシブル性が半導体装置に求められる。

【0003】

フレキシブル性を備えた半導体装置を実現する方法のひとつに、例えばU.S.P. 4,727,047号に開示されているソーラーセル用チップ薄膜化技術の応用が提案されている。図9は、このソーラーセル用チップ薄膜化の方法を説明する図である。

【0004】

まず、図9(a)に示すように下地基板となる基板31を準備する。この基板31は例えばGaNでできており、後に、この基板面にGaNの結晶成長が行われることになる。

次に、フォトリソグラフィ処理のためのレジスト塗布、露光、現像を行い、続いて400°Cで約1分間の熱処理を行う。これらの工程により図9(b)に示すように結晶成長用のマスク層33を選択的に形成することで、凹部35を形成するとともに凹部35内に基板31の表面を露出させる。

【0005】

次に、図9(c)に示すとおりAsCl₃-Ga-H₂のベーパー雰囲気でGaAsの結晶成長を行う。すると、まず凹部35の基板31表面より結晶成長し、さらにマスク層33の側面を経て、マスク層33の上部表面に沿って水平方向に進み、これにより、図9(d)に示すように凹部31内に成長GaAs層35が形成され、成長GaAs層35からマスク層33上にかけて結晶GaAs層36が形成される。その後、結晶GaAs層36上に素子形成を行う。

【0006】

次いでマスク層33を劈開することにより、若しくはフッ酸エッチングによるマスク層33の除去により、結晶GaAs層36を基板31より離脱させる(図9(e))。このような工程を経て、図9(f)に示すようにフレキシブル性を有する半導体チップ36aが形成される。

【0007】

また、液晶表示装置のフレキシブル化方策の一つとして、例えばU.S.P. 5, 256, 562号に開示されるようなAMLCD(アクティブマトリックスディスプレー)のSiチップ薄膜化方法がある。

【0008】

この方法では、まずSOI基板を用いてリフトオフ法によりフレキシブルな半導体装置を形成する。即ち、Si基板表面層、リフトオフの際にSi基板表面層を保護するSi緩和層、下層酸化物層、下層酸化物層よりエッチレートの遅いリリース層(被分離層として例えば酸窒化物層)、素子を形成する上層Si層、をこの順で形成したSOI基板を形成する。

【0009】

その後、上層Si層にTFTトランジスタ素子を公知の方法で形成し、リリース層よりも上部層を一時的に支持するための支持柱を、リリース層とSi緩和層との間の下地酸化物層の一部を部分的に除去した領域に形成した状態で、リリース層とSi緩和層との間にある下層酸化物層をエッチングするようにして空洞を形成し、続いて素子が形成された上層Si層を樹脂で密封して、最後に支持柱を劈開することにより素子基板を離脱することでフレキシブルチップが形成される。

【0010】

【発明が解決しようとする課題】

しかしながら、第1の従来例（U.S.P. 4, 727, 147号）で用いられている下地基板31は、本プロセスで使用後も再利用されるものである。そのため、成長GaAs層35の成長初期に、下地基板表面の影響を受けるため（成長層が下地基板上に直接形成されるため下地基板の表面のモフォロジーや汚染の影響を受けやすい）、均一な膜成長が困難であって不均一な膜が形成され、その結果、成長GaAs層35や結晶GaAs層36には、局部的に応力集中が生じ、フレキシブル性に欠けるとともにクラックが発生しやすい膜が形成される危惧がある。

【0011】

また、第2の従来例（U.S.P. 5, 256, 562号）では、素子形成層である上層Si層をリリース層の直上に堆積するため、上層Si層とリリース層との密着性により、上層Si層が素子形成工程中に剥がれるおそれがあり（密着性は下層のリリース層のモフォロジーに依存する）、また半導体層の膜厚が比較的不均一なためフレキシブル性に欠けるという問題もある。

【0012】

そこで、本発明は、フレキシブルな半導体装置を下地基板の影響を受けることなく形成することができる半導体装置の製造方法を提供することを目的する。また、この方法により製造された良質の半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記課題を解決するためになされた本発明の半導体装置製造方法は、（a）下地基板上に絶縁膜を形成する工程と、（b）絶縁膜上に半導体層を形成する工程と、（c）半導体層上にフレキシブル基板を接着する工程と、（d）下地基板と半導体層とを絶縁膜部分にて分離する工程とからなる。

【0014】

これによれば、下地基板上に絶縁膜、半導体層をこの順で形成し、半導体層上

にフレキシブル基板を接着する。そして、半導体層にフレキシブル基板を接着後に、下地基板と半導体層とを絶縁膜部分にて分離することにより、下地基板の影響を受けることなく形成された半導体層とフレキシブル基板とによりフレキシブル性を有する半導体装置を形成することができる。

【0015】

また、本発明の他の半導体装置製造方法は、(e) 下地基板上に絶縁膜を形成し、この絶縁膜に凹部をパターニングする工程と、(f) 絶縁膜に形成された凹部が厚膜部となり凹部に隣接する絶縁膜上が薄膜部となるように絶縁膜上に厚膜部と薄膜部とを有する半導体層を形成する工程と、(g) 下地基板と半導体層とを絶縁膜部分にて分離する工程と、(h) 分離した半導体層の下地基板側にフレキシブル基板を接着する工程とからなる。

【0016】

この発明によれば、半導体層には厚膜部と薄膜部とが隣接して形成されているので、薄膜部が半導体層にフレキシブル性を与えることになる。また、半導体層は絶縁膜上に形成され、その後に絶縁膜が除去されフレキシブル基板が接着されるので下地基板に接触することがなくなり、良質の半導体層を形成することができる。また、厚膜部と薄膜部とからなる半導体層にフレキシブル基板が接着されるので、半導体層とフレキシブル基板とからなる半導体装置全体がフレキシブル性を有し、かつ、丈夫な構造にすることができる。さらには、厚膜部を有するので高耐圧性素子を形成することも可能となる。

【0017】

【発明の実施の形態】

本発明の第一の半導体装置製造方法は、上述したように(a) 下地基板上に絶縁膜を形成する工程と、(b) 絶縁膜上に半導体層を形成する工程と、(c) 半導体層上にフレキシブル基板を接着する工程と、(d) 下地基板と半導体層とを絶縁膜部分にて分離する工程とからなる。

【0018】

ここで、(a) 下地基板に絶縁膜を形成する工程では、下地基板に、たとえばSi、Ge等の元素半導体基板、GaAs、InGaAs等の化合物半導体、ガ

ラス基板等、種々の基板を用いることができる。一般的には単結晶Si基板又は多結晶Si基板が好ましい。

【0019】

絶縁膜としては、Si酸化膜、Si窒化膜、SiON膜などが好適であるが、これに限られず、後の工程で容易に劈開又はエッチングできる材料であればよい。

【0020】

(b) 半導体層を形成する工程では、半導体層材料として、たとえば、元素半導体(Si、Geなど)、化合物半導体(GaAs、InP、ZnSe、CsSなど)を用いることができるが、なかでもSiが好適である。

形成する半導体層の膜厚は、外力が加わった場合にフレキシブル性を有するようにするため、 $25\text{ }\mu\text{m} \sim 100\text{ }\mu\text{m}$ の範囲、より好ましくは $25\text{ }\mu\text{m} \sim 50\text{ }\mu\text{m}$ の範囲とするのがよい。

【0021】

半導体層を形成した後、この半導体層に半導体素子を形成するようにしてもよい。これによりフレキシブル性を有する半導体素子を作ることができる。素子の種類については特に限定されず、例えばMOSトランジスタ、メモリ素子などを形成することができる。また、複数の素子を形成して回路を形成することもできる。

【0022】

ここで半導体層としてSiを用いる場合、半導体層がSiの結晶層からなるものであってもよい。特に、a-Si膜を形成し、触媒法によってこれをSi結晶化するようにしてもよい。すなわち、a-Si膜上に触媒層を形成して触媒反応によりSi結晶化することにより結晶半導体層を容易に形成することができる。

この場合の触媒層材料としてはニッケル、鉄、コバルト、白金などの金属、又はこれらの元素の少なくとも1つを含有する混合材料が好適である。また、触媒材料としてニッケル等の金属元素の代わりに、珪化ニッケルなどの珪化物を用いてもよい。

【0023】

触媒法による結晶化を行う場合であって多数の素子を基板上に同時に形成する際には、a-Si膜を形成した後にa-Si膜をパターニングして分離してからSi結晶化するようにしてもよい。これにより、素子形成工程の早い段階で素子ごとに分離を行うことができるので、最終工程でのダイシングが不要になる。

【0024】

また、触媒法による結晶化を行う場合に、あらかじめ触媒層をパターニングしてもよい。触媒層をパターニングすることにより、Si結晶膜は横方向に成長させることができる。横方向に成長させた膜は、縦方向に成長させた膜に比較してより単結晶に近い膜構造（グレインサイズが横方向成長膜の方が大きく成長する）となるため、後段の素子形成の際に良質な膜質の素子を形成することができる。

【0025】

(c) 半導体層上にフレキシブル基板を接着する工程では、基板材料としてフレキシブル性を有する樹脂を用いてもよい。樹脂材料としては、たとえばポリイミド系樹脂フィルム、ポリエステル系樹脂フィルム等が好適である。また、樹脂材料以外、たとえばステンレスフィルムをフレキシブル基板として用いることもできる。

半導体層とフレキシブル基板との接着には、接着剤を用いてもよいし、樹脂材料のように材料自身が接着性を有するものであればその材料自身で接着するようにしてもよい。

【0026】

(d) 下地基板と半導体層とを絶縁膜部分にて分離する工程では、劈開により分離が行われてもよいし、エッティングにより分離が行われてもよい。エッティングによる分離を行う場合は、フレキシブル基板にはフッ酸などのエッチャントに対する耐薬品性が要求されることになる。そのため、フレキシブル基板には上述したようなステンレスフィルムや樹脂材料が用いられることになる。

【0027】

また、本発明の第二の半導体装置製造方法では、上述したように(e)下地基板上に絶縁膜を形成し、この絶縁膜に凹部をパターニングする工程と、(f)絶

縁膜に形成された凹部が厚膜部となり凹部に隣接する絶縁膜上が薄膜部となるように絶縁膜上に厚膜部と薄膜部とを有する半導体層を形成する工程と、(g) 下地基板と半導体層とを絶縁膜部分にて分離する工程と、(h) 分離した半導体層の下地基板側にフレキシブル基板を接着する工程とからなる。

【0028】

(e) 下地基板上に絶縁膜を形成し、絶縁膜上に凹部をパターニングする工程では、下地基板に、たとえばSi、Ge等の元素半導体基板、GaAs、InGaAs等の化合物半導体、ガラス基板等、種々の基板を用いることができる。一般的には単結晶Si基板又は多結晶Si基板を用いるのが好ましい。

【0029】

絶縁膜としては、Si酸化膜が好適であるが、これに限られず、Si窒化膜、SiON膜などであってもよい。ただし、フォトリソグラフィ技術によりパターンングできる絶縁膜であることが必要である。

【0030】

凹部を形成するのは、後工程でこの凹部に半導体材料を埋め込むことにより厚膜部を形成するためである。すなわち、凹部の深さが薄膜部と厚膜部との段差となる。したがって凹部の深さにより厚膜部と薄膜部との段差を調整する。

【0031】

凹部のパターンは、凹部により形成される厚膜部に隣接する薄膜部が、フレキシブル性を有することができる形状であればどのような形状でもよい。たとえば直線状に薄膜部が形成され、この薄膜部の両側に平行に直線状の厚膜部が形成されるように凹部パターンを形成してもよい。また、平面状の薄膜部に格子状に厚膜部が配列されるように凹部パターンを形成して、厚膜部の周囲に薄膜部が隣接するようにしてもよい。

【0032】

なお、厚膜部に隣接するように薄膜部を少なくとも1つ設けることがフレキシブル性を有するために必要であるが、複数の厚膜部と複数の薄膜部とを交互に隣接するように設けて複数の薄膜部でフレキシブル性を有するようにしてもよい。

【0033】

(f) 絶縁膜に形成された凹部が厚膜部となり凹部に隣接する絶縁膜上が薄膜部となるように絶縁膜上に厚膜部と薄膜部とを有する半導体層を形成する工程では、半導体層に外力が加わったときにフレキシブル性を有するようにするため、半導体層の薄膜部の厚みが $25\text{ }\mu\text{m} \sim 100\text{ }\mu\text{m}$ の範囲、より好ましくは $25\text{ }\mu\text{m} \sim 50\text{ }\mu\text{m}$ の範囲とするのがよい。

厚膜部の厚みについては、(薄膜部がフレキシブル性を有するため)フレキシブル性の観点からの制限はないが、薄膜部と厚膜部との厚みのバランスを考慮して $100\text{ }\mu\text{m} \sim 300\text{ }\mu\text{m}$ の範囲とするのが好ましく、たとえば $100\text{ }\mu\text{m}$ 程度にするのが好ましい。

【0034】

半導体層の材料としては、厚膜部と薄膜部とを隣接して形成できる材料であれば何でもよい。たとえば、元素半導体(Si、Geなど)、化合物半導体(GaAs、InP、ZnSe、CsSなど)を用いることができるが、なかでもSiが好適である。

【0035】

ここで、半導体層材料としてSi結晶を用いる場合に、触媒法により厚膜部と薄膜部とを形成するようにしてもよい。すなわち、(f)工程で形成される半導体層がSi結晶層であり、(f)工程での厚膜部と薄膜部との形成が、(f1)絶縁膜上にa-Si膜を形成する工程と、(f2)a-Si膜上に触媒層を形成する工程と、(f3)凹部内のa-Si膜上に触媒層が残るように触媒層をパターニングする工程と、(f4)a-Si膜と触媒層とを反応させて結晶化することによりSi結晶層を形成する工程と、(f5)触媒層を除去する工程とからなるものであってもよい。

【0036】

これによれば、凹部を含む絶縁膜上にa-Si膜が形成される。さらに、凹部内に触媒層が形成され、この触媒層とa-Si膜とを反応させることにより、a-Si膜が結晶化され、凹部内にSi結晶の厚膜部が形成されるとともに凹部でない絶縁膜部分にSi結晶の薄膜部が形成されたSi結晶層が形成される。続いて触媒材料を除去する。

この結果、下地基板表面の影響を受けることなくフレキシブル性を有するSi結晶層半導体を形成することができる。

【0037】

このときの触媒層材料としてはニッケル、鉄、コバルト、白金などの金属、又はこれらの元素の少なくとも1つを含有する混合材料が好適である。また、触媒材料としてニッケル等の金属元素の代わりに、珪化ニッケルなどの珪化物を用いてもよい。

【0038】

(f) 工程での半導体層工程後に、厚膜部と薄膜部との少なくともいずれかに半導体素子が形成されるようにしてもよい。これにより、フレキシブル性を有する半導体素子を形成することができる。素子の種類については特に限定されず、例えばMOSトランジスタ、メモリ素子など何でもよい。複数の素子を形成して回路を形成してもよい。

【0039】

ただし、薄膜部は耐電圧特性が必ずしも良好ではないので、高耐圧素子を形成するときは厚膜部に形成するようとする。

したがって、液晶駆動回路のような高耐圧素子を含む回路を形成する場合には、薄膜部には高耐圧素子を含まないロジック回路用の素子、厚膜部にはTFTトランジスタのような高耐圧素子を含むドライバ回路用の素子を形成するようにして半導体基板全体に素子を配置するのが好ましい。このようにすれば、フレキシブルでかつコンパクトな半導体装置を形成することができる。

【0040】

(g) 下地基板と半導体層とを絶縁膜部分にて分離する工程では、絶縁膜部分を劈開することにより分離が行われてもよいし、エッチングにより分離が行われてもよい。

エッチングによる分離が行われる場合、絶縁膜の種類に応じてエッチャントが選択されるが、たとえばSi酸化膜の場合にはフッ酸混合溶液が用いられる。

なお、エッチングの際に半導体基板を支持する目的で、半導体基板表面側に第2の支持基板を仮に接着するようにしてもよい。第2支持基板としてはエッチャ

ントに耐性を有するものが用いられるが、たとえばステンレスフィルムが好適である。

【0041】

(h) 分離した半導体層の下地基板側にフレキシブル基板を接着する工程では、厚膜部と薄膜部とに接着できるフレキシブル基板が用いられる。フレキシブル基板としては、たとえばポリイミド系樹脂フィルム、ポリエステル系樹脂フィルム等のフレキシブルな樹脂を用いることができる。これらは接着剤を用いないで直接凹凸がある半導体層に接着することができるので好適である。

また、材料自身が接着性を有しないフレキシブル基板の場合は、接着剤を用いて半導体層に貼り付けてもよい。

【0042】

以下、図面を用いて本発明の実施の形態について説明する。

実施形態1

図1、図2は、本発明の一実施形態である半導体装置製造方法の製造工程を説明する図である。

半導体装置製造に使用する下地基板11としては、単結晶Si基板を用いる。まず、不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 程度のp型Siの下地基板11（n型Si基板或いはp型Si基板の表面にp型又はn型エピタキシャルSi層を例えば1μm程度の膜厚に成長させたいわゆるエピタキシャル基板、あるいはガラス基板であってもよい）を用意する（図1（a））。

下地基板11の上に、絶縁膜である厚さ2000Åの下地Si酸化膜12（SiO₂）をプラズマCVD法によって形成する（図1（b））。

【0043】

次にプラズマCVD法によってa-Si膜13を500～3000Å、たとえば1500Å堆積し、430℃の窒素雰囲気中で0.1～2時間、たとえば、0.5時間加熱することにより、水素出しを行う（図1（c））。

【0044】

続いて、スパッタ法によって触媒としてのニッケルを厚さ100～1000Å、例えは500Å堆積してニッケル層14を形成する（図1（d））。ニッケル

層14の成膜時に、基板を100~500°C、好ましくは180~250°Cに加熱しておくことにより、a-Si膜13とニッケル層14との密着性を向上させることができ、後の触媒反応により良質な半導体層を得ることができる。なお、ニッケルの代わりに珪化ニッケルを用いてもよい。

【0045】

その後、450~580°Cで1~1.0分だけ加熱する。これによりニッケル層14とa-Si膜13との触媒反応が生じ、界面に薄いSi結晶層15が形成される（図1（e））。

このとき、図1（d）に示すように、予めニッケル層14をパターニングしておくのが好ましい。パターニングによってニッケル層14とa-Si膜13との接触面積を調整することによりSi結晶層の膜厚制御（結晶化速度の制御）を行うことができる。これは堆積されたニッケルが熱処理により珪化ニッケルとなり、またニッケルが通過した部分がSi結晶となるためである。

また、パターニングをしておくことにより、Si結晶を横方向に成長させることができ、良質なSi結晶を形成することができる。

この薄いSi結晶層15の厚さは反応温度、反応時間に依存するが、550°C、10分の条件では、約300Åほど形成される。

【0046】

次いで、これを450~580°Cのアニール炉内で、例えば550°Cの窒素雰囲気中にて8時間アニールする。この工程によってa-Si膜全体が結晶化されることにより、Si結晶層16を得ることができる（図2（f）～図2（g））。

なお、Si結晶層16の厚みは25μm~100μm、たとえば50μmとしてフレキシブル性を与えるようにしておく。

【0047】

次に、ニッケル、および、ニッケルとの反応で生じた珪化ニッケルを5~30%の塩酸でエッチングする。このエッチングではa-Si膜と（珪化）ニッケルとの反応によって生じた結晶Siには影響がおよばない。（図2（g））

【0048】

続いてSi結晶層16に半導体素子18を形成する。その後、フレキシブル基板である第2基板17（耐フッ酸性のあるステンレスフィルム）を表面側に接着する（図2（h））。この第2基板17は、次のエッチング工程の際に半導体層を支持する機能も有する。

【0049】

その後、フッ酸溶液に浸漬してSi酸化膜12をエッチング除去し、結晶Si層16を下地基板11から離脱させる。あるいは、Si酸化膜12を劈開することにより除去してもよい。下地基板11から研磨するようにしてもよい。これにより、フレキシブルな半導体層とフレキシブル基板とからなる半導体装置を得ることができる（図2（i））。

なお、複数の半導体素子18が一度に形成されている場合で、必要な場合にはこの状態でダイシングを行うことにより素子ごとに分離するようにする。

【0050】

図3は上記製造方法により形成された半導体装置の構成を示す断面図である。本発明の半導体装置は、半導体層21とフレキシブル基板22と半導体素子23とから構成される。

この半導体層21はSi結晶層からなり、その半導体層21の表面は下地基板の影響を受けない工程で形成されているので、下地基板のモフォロジー等が現われていないものとなっている。半導体層21の厚みは $25\mu m \sim 100\mu m$ の範囲になるようにしてフレキシブル性を有するようにしている。

【0051】

半導体素子23は、Si結晶層を用いて形成できる素子であれば何でもよく、たとえばMOSトランジスタなどが形成される。高耐圧素子を含む場合は、フレキシブル性を損なわない範囲でSi結晶層の膜厚を厚くしている。

【0052】

フレキシブル基板22にはステンレスフィルムが用いられる。このステンレスフィルムは、上述したように第2基板17をそのまま用いたものである。

【0053】

実施形態2

次に、本発明の第2の実施形態について図面を用いて説明する。第1の実施形態では半導体装置の形成後にダイシング工程で素子分離を行うのに対し、第2の実施形態では、半導体装置製造工程の早い段階で先に素子分離を行うようするものである。

【0054】

図4、図5は本発明の第2の実施形態である半導体装置製造方法の製造工程を説明する図である。

半導体装置製造に使用する下地基板11としては、単結晶Si基板を用いる。まず、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度のp型Siの下地基板11（n型Si基板或いはp型Si基板の表面にp型又はn型エピタキシャルSi層を例えば1μm程度の膜厚に成長させたいわゆるエピタキシャル基板でもあるいはガラス基板でもよい）を用意する（図4（a））。

下地基板11の上に、厚さ2000Åの下地Si酸化膜（SiO₂）12をプラズマCVD法によって形成する（図4（b））。

【0055】

次にプラズマCVD法によってa-Si膜13を500～3000Å、例えば1500Å堆積し、430℃窒素雰囲気中で、0.1～2時間、例えば0.5時間加熱することにより水素出しをおこなった後、フォトリソグラフィ技術を用いて素子分離形成のためのパターニングをa-Si膜13を行い、a-Si膜を分離しておく（図4（c））。

【0056】

続いてスパッタ法によって触媒としてニッケルを厚さ100～1000Å、例えば500Å堆積し、ニッケル層14を形成する（図4（d））。ニッケル層14の成膜時に、基板を100～500℃、好ましくは180～250℃に加熱しておくことにより、a-Si膜13とニッケル層14との密着性を向上させることができ、後の触媒反応により良質な半導体層を得ることができる。なお、ニッケルの代わりに珪化ニッケルを用いてもよい。

【0057】

その後、450～580℃で1～10分だけ加熱する。これによりニッケル層

14とa-Si膜13との触媒反応が生じ、界面に薄いSi結晶層15が形成される（図5（e））。

この薄いSi結晶層15の厚さは反応温度、時間に依存するが550℃、10分の条件では約300Åである。

このとき、a-Si膜13がすでに分離されているので、薄いSi結晶膜15も分離された形状で成長する。

【0058】

次いで、これを450～580℃のアニール炉内で、例えば550℃の窒素雰囲気中にて8時間アニールする。この工程によってa-Si膜13全体が結晶化し、さらに横方向に成長し、予め分離されたSi結晶層16を得ることができる（図5（e）～図5（f））。

なお、Si結晶層16の厚みは25μm～100μm、たとえば50μmとしてフレキシブル性を与えるようにしておく。

次に、ニッケル、ニッケルと反応して生じた珪化ニッケル膜を5～30%の塩酸でエッチングする。このエッチングではa-Si膜と（珪化）ニッケルとの反応によって生じたSi結晶には影響がおよばない（図5（f））。

【0059】

次に分離されたSi結晶層16ごとに半導体素子18を形成する。その後、フレキシブル基板である第2基板17（耐フッ酸性のあるステンレスフィルム）を表面側に接着する（図5（g））。この第2基板17は、次のエッチング工程の際に半導体層を支持する機能も有する。

【0060】

その後、フッ酸溶液に浸漬してSi酸化膜12をエッチング除去し、結晶Si層16を下地基板11から離脱させる。あるいは、Si酸化膜12を劈開することにより除去してもよい。これにより、フレキシブルな半導体層16とフレキシブルな第2基板17とからなる半導体装置を得ることができる（図2（h））。この方法によれば、半導体装置は素子ごとに分離した状態で形成される。すなわちフレキシブルな第2基板17上に素子ごとに完全に分離された半導体層16が形成されるので、さらにフレキシブル性に優れた半導体装置とすることができます。

なお、必要であれば、この状態で第2基板17をダイシングしてもよい。

【0061】

実施形態3

次に、本発明の第3の実施形態について図面を用いて説明する。図6、図7は本発明の第3の実施形態である半導体装置製造方法の製造工程を説明する図である。

半導体装置製造に使用する下地基板11としては、単結晶Si基板を用いる。まず、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度のp型Siの下地基板11（n型Si基板或いはp型Si基板の表面にp型又はn型エピタキシャルSi層を例えば1μm程度の膜厚に成長させたいわゆるエピタキシャル基板でもあるいはガラス基板でもよい）を用意する（図6（a））。

下地基板11の上に、厚さ2000Åの下地Si酸化膜（SiO₂）12をプラズマCVD法によって形成する（図6（b））。

【0062】

次にフォトリソグラフィ技術によりレジストを用いてパターニングを行い、下地Si酸化膜12に対して約1000Åのエッチングを行い、凹部7を形成する（図6（c））。

【0063】

次に、レジスト剥離後、プラズマCVD法によってa-Si膜13を凹凸状の段差が形成されたSi酸化膜12上に500～3000Å、例えば500Å堆積する。そして窒素雰囲気中で、温度430℃、0.1～2時間、例えば0.5時間の間a-Si膜13の水素出しを行う。

続いてスパッタ法によって触媒層となるニッケル層14を厚さ100～1000Å、例えば500Å堆積する（図6（d））。ここで、ニッケル層14の成膜時に、基板を100～500℃、好ましくは180～250℃に加熱しておくことにより、a-Si膜13とニッケル層14との密着性を向上させることができ、後の触媒反応により良質な半導体層を得ることができる。なお、ニッケルの代わりに珪化ニッケルを用いてもよい。

【0064】

次に、a-Si膜上のニッケル層14のうち凹部7内に堆積したニッケル層14を残すようにパターニングを行う(図6(e))。

【0065】

その後、450～580℃、窒素雰囲気で1～10分だけ加熱して、上記ニッケル層14とa-Si膜13とを触媒反応させ、その界面に薄いSi結晶層19を形成する。このSi結晶層19の厚さは反応温度、時間に依存して定まるが、例えば550℃、10分の条件では、約300Åの膜厚のものが形成される(図6(f))。

【0066】

次いで、これをアニール炉中450～580℃、例えば窒素雰囲気中550℃で8時間アニールする。これによってa-Si膜全体を結晶化させ、Si結晶層20を得る(図7(g))。

【0067】

なお、図7(g)のようにSi結晶層20の表面がフラットになるのは島状ニッケルが珪化ニッケル膜として横方向に成長するためである。そして横方向に成長したSi結晶層20はグレインサイズが大きく膜質が良好となる。

したがって、横方向に成長することにより形成される薄膜部のみに素子を形成するようにして、特に良質の半導体層のみを用いて半導体装置を作るようにすることもできる。

【0068】

次に、ニッケル、および、ニッケルと反応して生じた珪化ニッケルを5～30%の塩酸でエッチング除去する。このエッチングではa-Si膜と(珪化)ニッケルとの反応によって生じたSi結晶には影響はおよばない(図7(g))。

そして最終的に、薄膜部A、厚膜部Bとなる部位のそれぞれの膜厚を、薄膜部は $25\mu m \sim 50\mu m$ 程度、厚膜部は $100\mu m$ 程度にする。

【0069】

次に上記Si結晶膜20の薄膜部A、厚膜部Bに半導体素子を形成する(図6(h))。液晶パネルを駆動させるための素子である液晶駆動回路を例にとると、シ

フトレジスタ等のような低電圧で動作させる素子のみで形成されるロジック回路部8は薄膜部Aに、また、DA変換器や出力回路等の高電圧で動作させる（即ち高耐圧素子を含む）ドライバ回路部9は耐電圧性の観点から厚膜部Bに形成する（図7(h)）。

【0070】

次に、第2基板17として耐フッ酸性のあるステンレスフィルムを、接着剤を用いて結晶Si層20の表面側に接着する（図7(i)）。この第2基板17は、次のエッチング工程の際に半導体層を支持するために接着されるものである。

なお、本実施形態では、後の工程において第2基板17とは別にフレキシブル基板を取り付けるので、第1、第2実施形態とは異なり、必ずしも第2基板17がフレキシブル性を有する必要はない。

【0071】

その後、フッ酸溶液に浸漬してSi酸化膜12をエッチング除去し、結晶Si層20を下地基板11から離脱させる。なお、Si酸化膜12は、劈開により除去してもよい。下地基板11から研磨するようにしてもよい。（図7(j)）。

【0072】

次に樹脂18（たとえばポリイミド系樹脂フィルム、ポリエステル系樹脂フィルム等）を用いてSi結晶層20の裏面側（凹凸面を有する下地基板側）を埋めるようにして接着する（図7(k)）。樹脂18は流動性樹脂を流し込み、これを固めるようにして接着する。あるいは、接着剤により半導体基板20にフィルム状のフレキシブル基板を接着するようにしてもよい。

その後、第2基板17をSi結晶層20から離脱することにより、フレキシブルな半導体装置を完成する（図7(k)）。

その後、必要に応じて、ダイシングを行うことにより素子ごとに分離してもよい。（図7(l)）。

【0073】

なお、実施形態3の変形実施態様としてSOI基板を用いてもよい。すなわち、SOI基板のSi層と絶縁層の界面近傍に部分的に酸素注入を行い、注入後にたとえば1350°Cで4時間の窒素アニール処理を行うことにより、SOI基板

本来の絶縁層と注入によるSi酸化膜層とからなる凹凸絶縁物層をSOI基板内に形成し、この凹凸絶縁層の上にSi層の薄膜部と厚膜部とを形成するようにしてもよい。ただし、分離工程での容易さを考慮すると触媒を用いた製造方法の方が好ましい。

【0074】

図8は実施形態3の方法により形成した半導体装置の構成を示す図であり、図8(a)は応力を加えていない通常状態の断面構成図、図8(b)は応力をえた状態の断面構成図である。

この半導体装置は半導体層1とフレキシブル基板2と半導体素子3、4とから構成される。

【0075】

半導体層1には、Si結晶層が用いられており、厚膜部Aと薄膜部Bとが形成されている。

フレキシブル基板2には、樹脂基板（例えばポリイミド系樹脂フィルム、ポリエステル系樹脂フィルム等）が用いられている。フレキシブル基板2は、厚膜部A、薄膜部Bがそれぞれ支持できるように接着される。

【0076】

半導体素子3は薄膜部Aに形成され、半導体素子4は厚膜部Bに形成される。このように薄膜部A、厚膜部Bのいずれにも半導体素子3、4を形成することができるが、たとえば液晶ドライバを例にとると、薄膜部Aには高耐圧素子を含まないロジック回路、厚膜部Bには高耐圧素子であるTFTトランジスタを有するドライバ回路を形成するようにして耐電圧性を高めるようにしてある。

【0077】

薄膜部Aの厚みは、十分なフレキシブル性を発揮できるようにするため $25\mu m \sim 50\mu m$ の範囲としている。また、厚膜部Bの厚みは、薄膜部Aとのバランスから $100\mu m$ 程度にしている。

【0078】

なお、この半導体装置では、図8に示すように両端に厚膜部B、中央に薄膜部Aを形成するようにして中央の薄膜部Aでフレキシブル性を発揮するようにした

が、形状はこれに限られない。例えば薄膜部Aを両側に配置して中央に厚膜部Bを配置するようにしてもよい。また、薄膜部Aと厚膜部Bとをそれぞれ2つ以上、交互に隣接配置するようにすることによりフレキシブル性を保持しつつ基板面積を拡大するようにしてもよい。

【0079】

このようにして形成されたフレキシブルな半導体装置を、たとえばプラスチック液晶パネルに搭載した場合、半導体装置自身がフレキシブルであるため、液晶パネルに何らかの応力がかかった場合においても、安定に動作させることが可能となる。

【0080】

【発明の効果】

本発明によれば、フレキシブル性を有する半導体装置を簡便な方法で製造することができる。

しかも、半導体層を製造する際に下地基板に直接には接しないようにして形成されるため、自由に基板を選定でき、下地基板の影響を受けずに半導体装置を製造することができる。

【0081】

また半導体素子が形成されるSi結晶半導体層をa-Si膜と触媒材料とを用いて触媒反応により形成する場合には、触媒材料の形成領域を制御することにより、選択的なSi成長が可能であるため膜厚の制御を行いつつ最適な膜厚条件での製造が可能である。

【0082】

また半導体層が厚膜部と薄膜部とを有する場合は、ロジック回路部を薄膜部に形成し、高耐圧トランジスタを有するドライバ回路を厚膜部に形成することによりフレキシブルな半導体装置を小さい面積にて形成することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態である半導体装置製造方法の製造工程を説明する図。

【図2】

本発明の第1の実施形態である半導体装置製造方法の製造工程を説明する図。

【図3】

本発明の第1の実施形態である半導体装置製造方法により形成される半導体装置の断面構成図。

【図4】

本発明の第2の実施形態である半導体装置製造方法の製造工程を説明する図。

【図5】

本発明の第2の実施形態である半導体装置製造方法の製造工程を説明する図。

【図6】

本発明の第3の実施形態である半導体装置製造方法の製造工程を説明する図。

【図7】

本発明の第3の実施形態である半導体装置製造方法の製造工程を説明する図。

【図8】

本発明の第3の実施形態である半導体装置製造方法により形成される半導体装置の断面構成図。

【図9】

従来からの半導体装置製造方法の製造工程を説明する図。

【符号の説明】

1 : 半導体基板

2 : フレキシブル基板

3 : 半導体素子（高耐圧素子を含まない）

4 : 半導体素子（高耐圧素子を含む）

7 : 凹部

8 : ロジック回路

9 : ドライバ回路

1 1 : 下地基板（P型Si基板）

1 2 : 絶縁膜（Si酸化膜）

1 3 : a-Si膜

1 4 : 触媒層（ニッケル層）

15: 薄いSi結晶層

16: Si結晶層

17: 第2基板

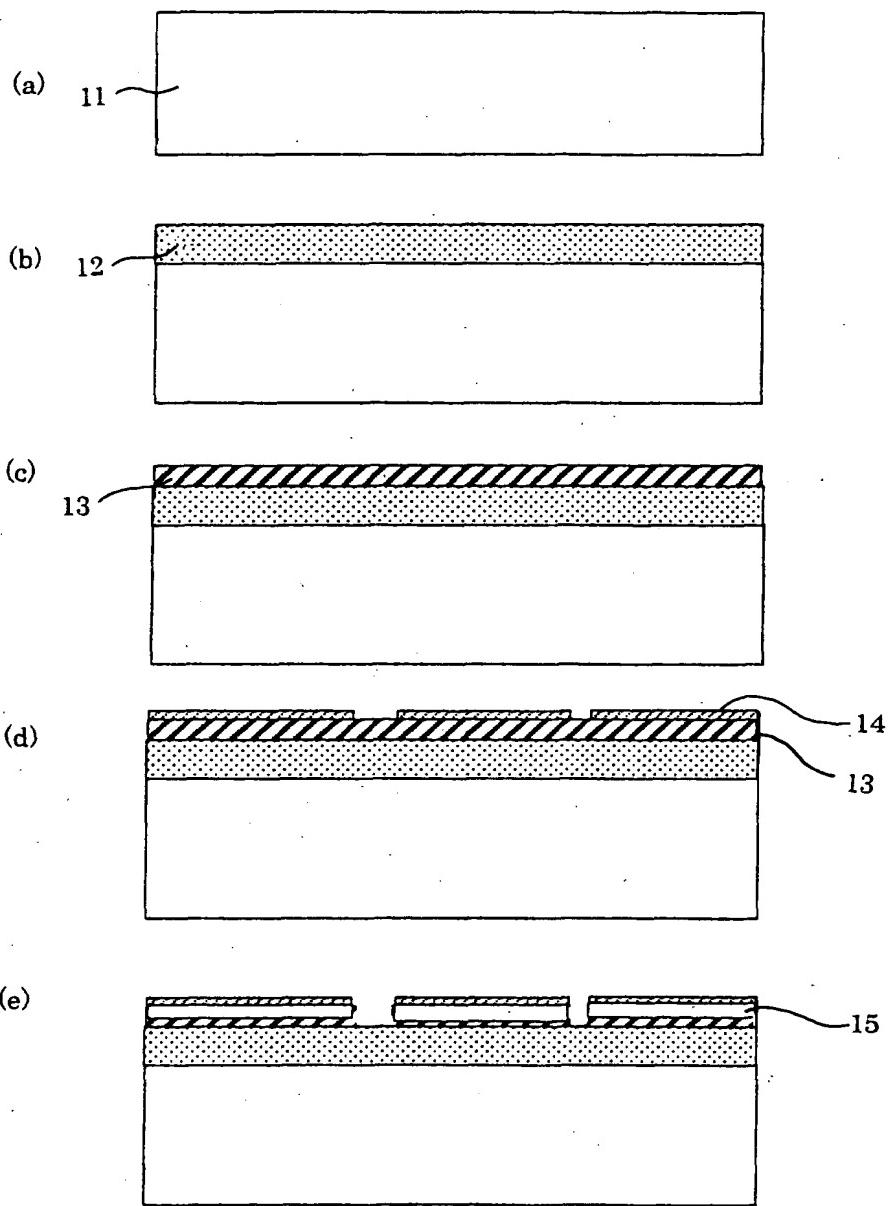
18: 樹脂

19: 薄いSi結晶層

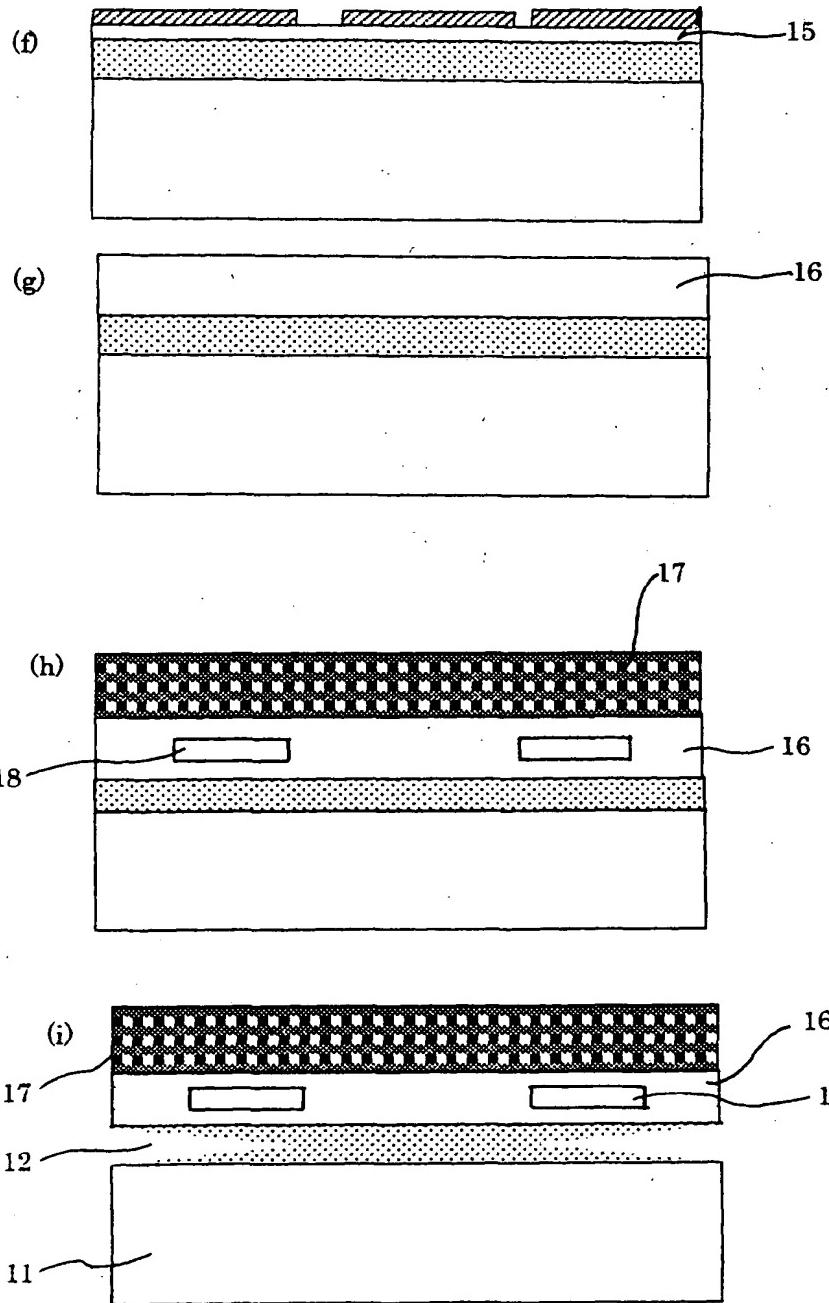
20: Si結晶層

【書類名】 図面

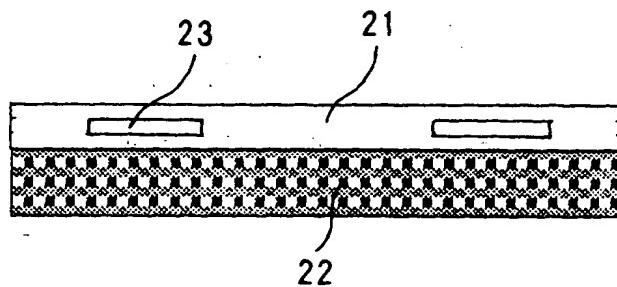
【図1】



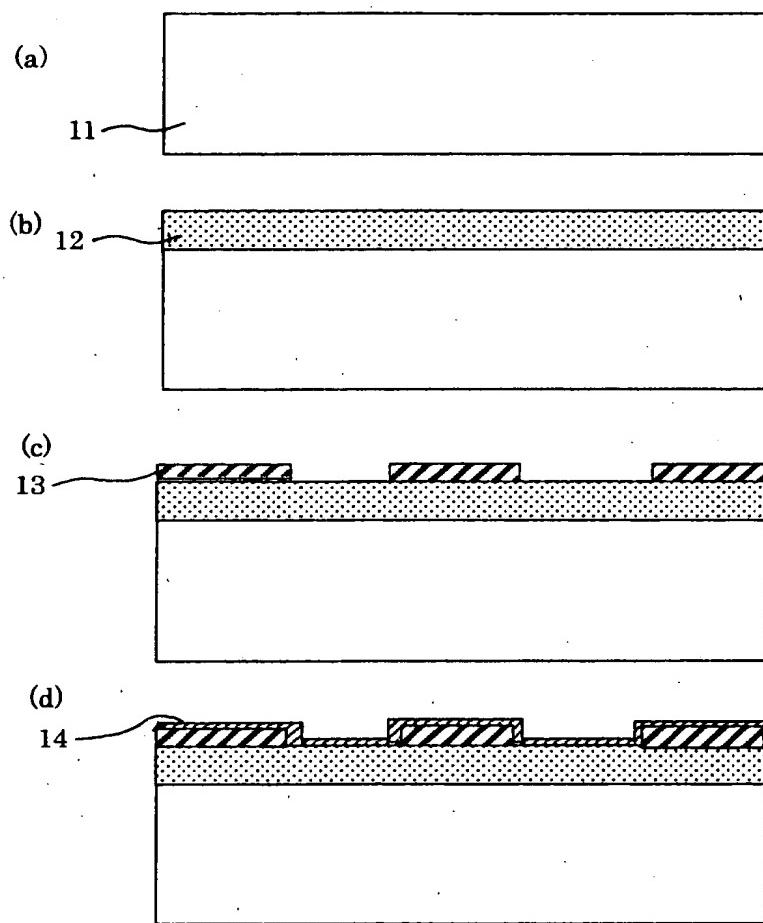
【図2】



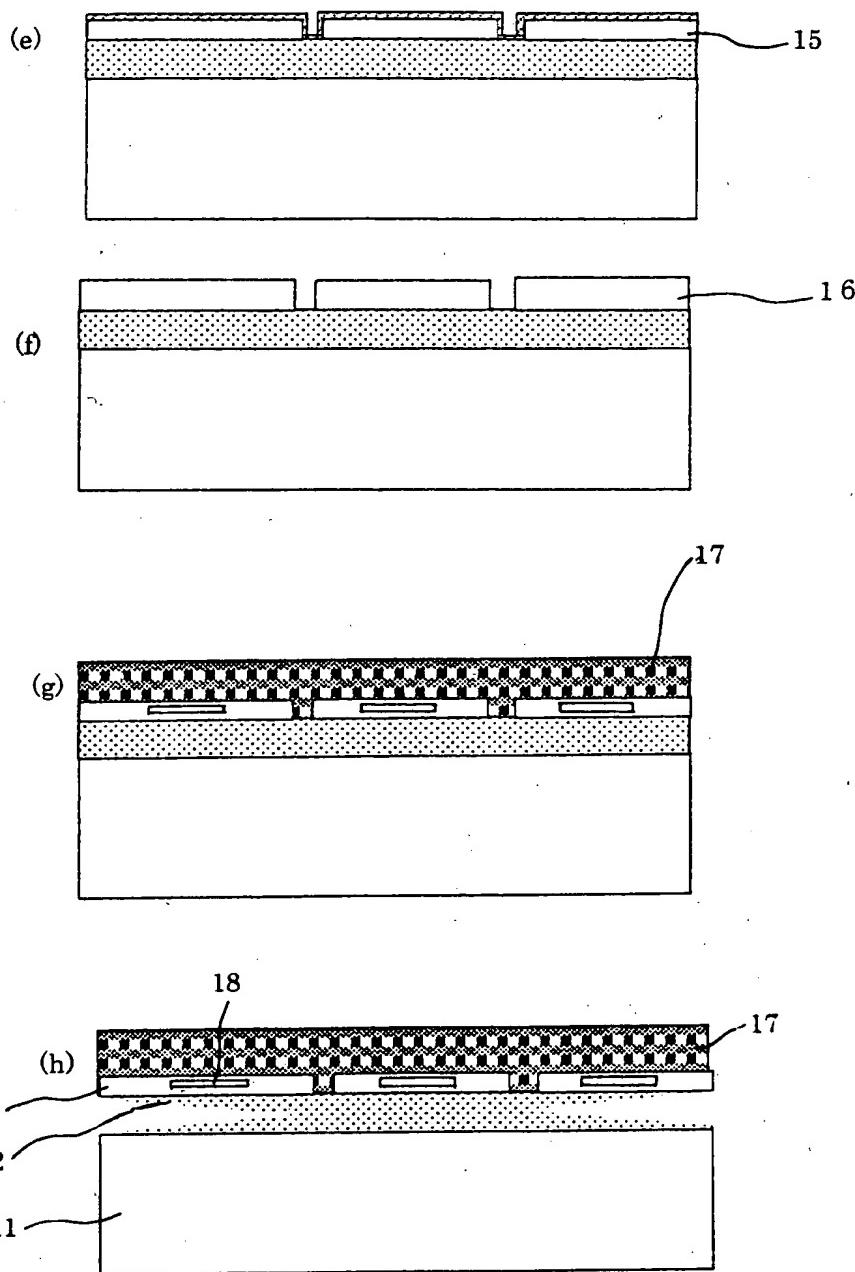
【図3】



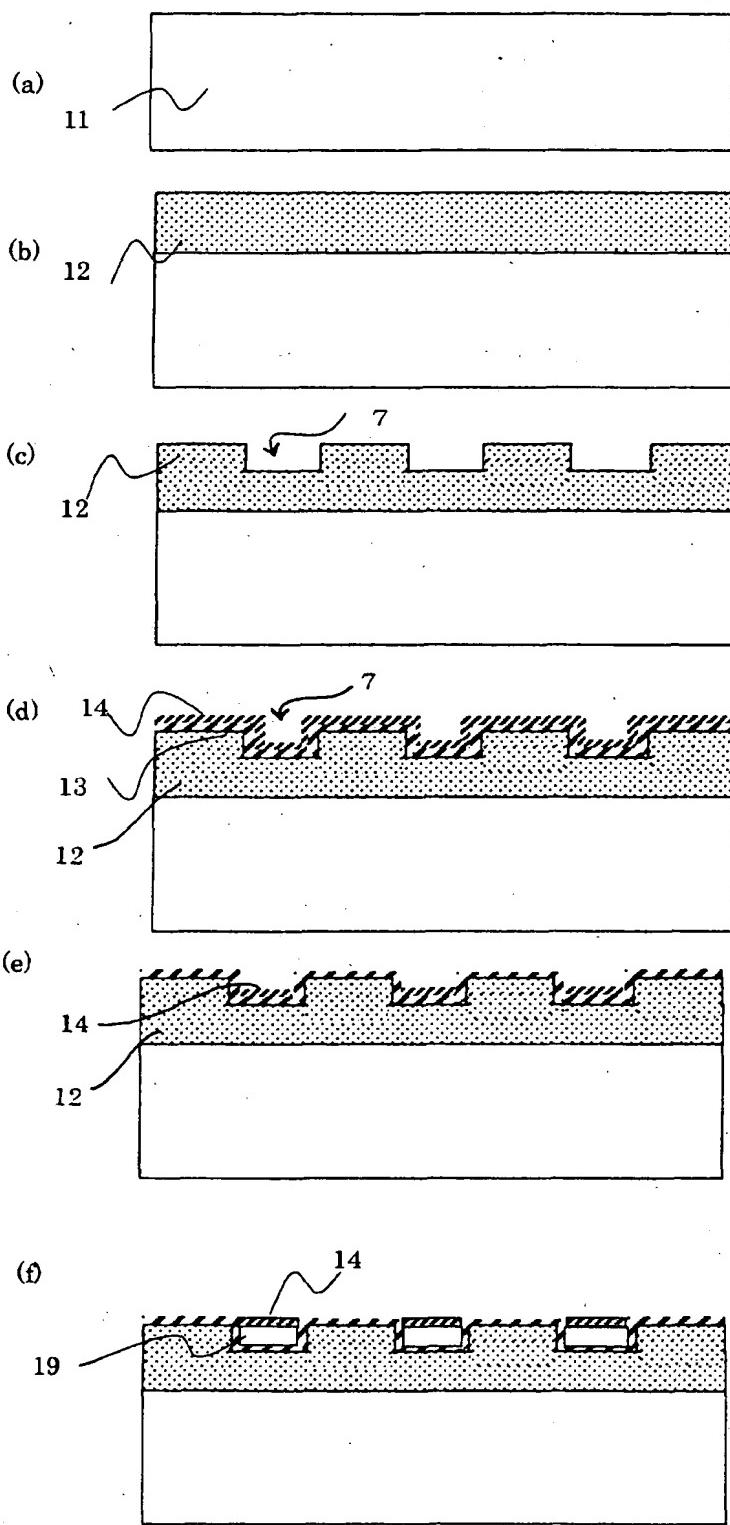
【図4】



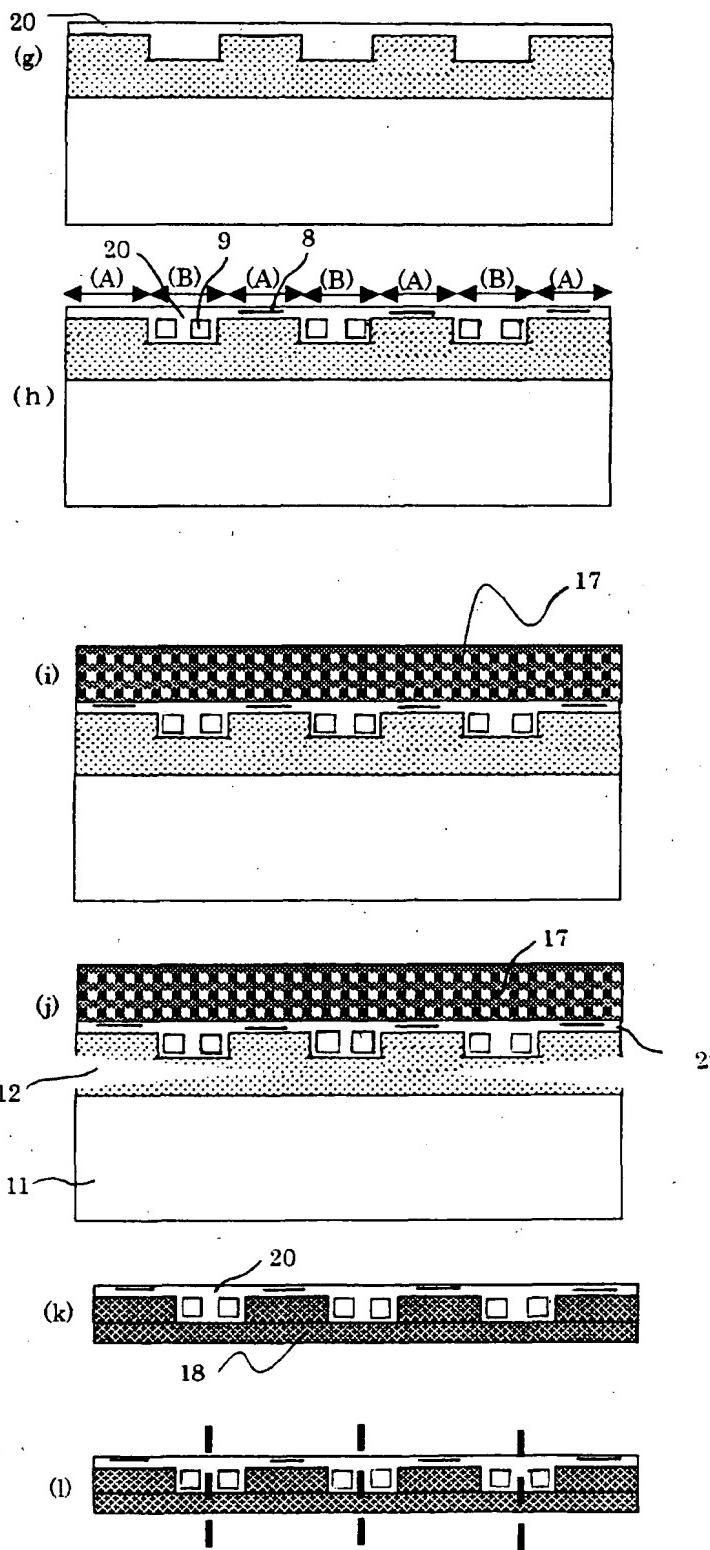
【図5】



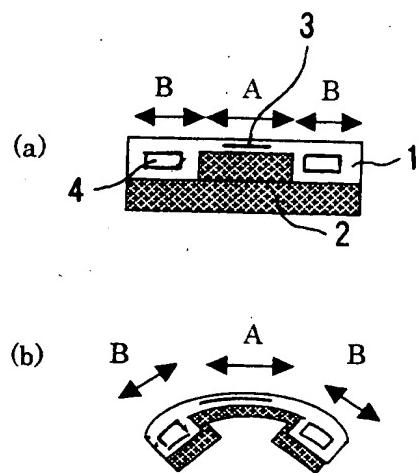
【図6】



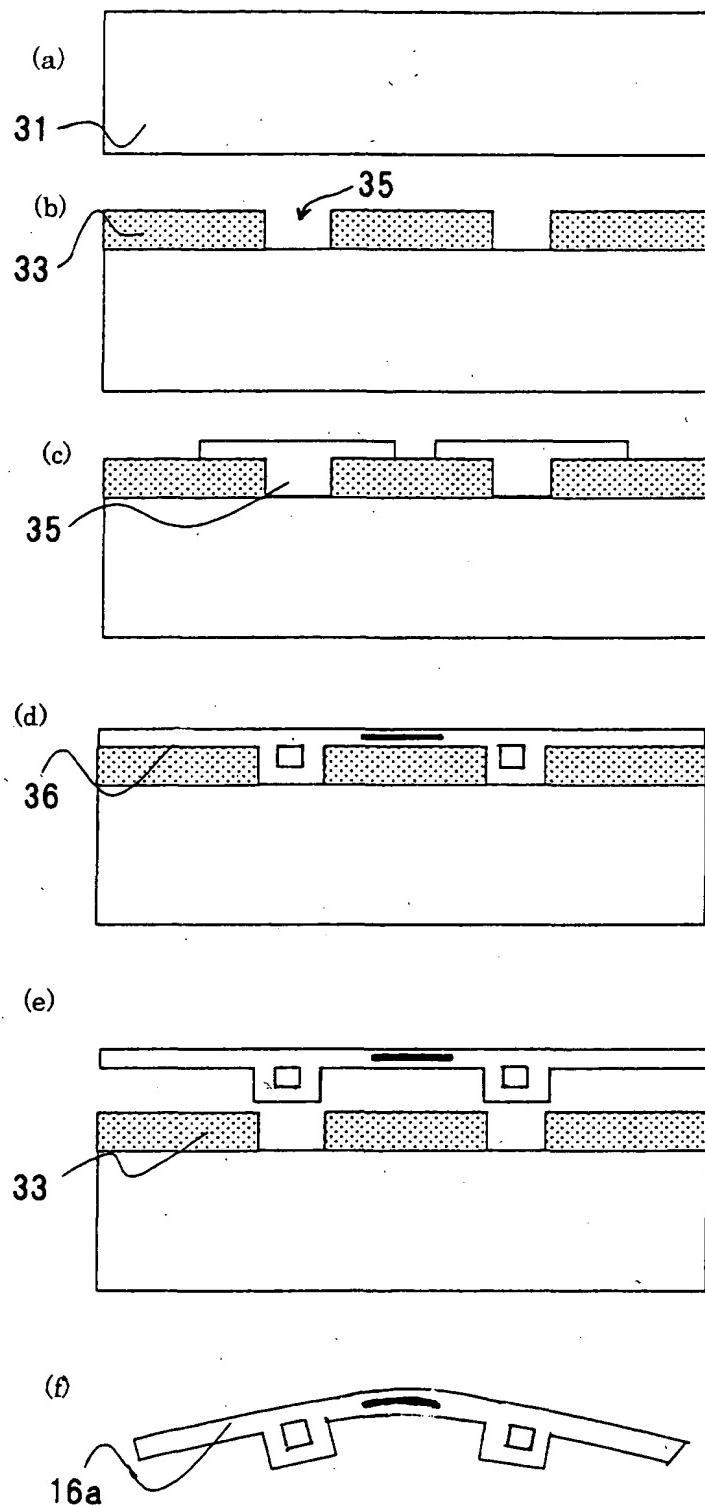
【図 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 フレキシブルな半導体装置を下地基板に接することなく形成することができる半導体層地製造方法を提供する。

【解決手段】 (a) 下地基板11上に絶縁膜12を形成する工程と、(b) 絶縁膜12上に半導体層16を形成する工程と、(c) 半導体層16上にフレキシブル基板17を接着する工程と、(d) 下地基板11と半導体層16とを絶縁膜12部分にて分離する工程とからなり、下地基板11に接しないようにしてフレキシブルな半導体層16を形成し、さらにフレキシブル基板17を接着する。

【選択図】 図2

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社